

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-144971

(43)公開日 平成5年(1993)6月11日

(51)Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 01 L 23/12				
23/40	F 7220-4M			L
	7352-4M	H 01 L 23/ 12		J
	7352-4M			

審査請求 未請求 請求項の数3(全4頁)

(21)出願番号 特願平3-329586

(22)出願日 平成3年(1991)11月18日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 宮崎 裕一

東京都港区芝五丁目7番1号 日本電気株

式会社内

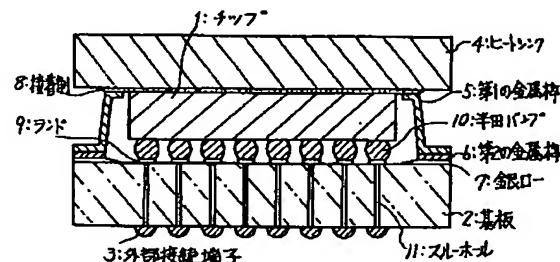
(74)代理人 弁理士 香野 中

(54)【発明の名称】 チップキャリア構造

(57)【要約】

【目的】 チップキャリアに用いられる配線基板内での電圧降下の削減、信号伝播遅延及びノイズを低減する。

【構成】 チップキャリアの配線基板内の配線をチップ接続端子から外部接続端子まで直線の導体配線とする。これにより、配線基板内での配線長が最短になるため、電圧降下、信号伝播遅延、ノイズを低減することが可能となる。また、構造が簡単なので製造が容易となり、コスト低減につながる。さらに、多層構造にする必要がなく、同時焼成のできない材料でも製造可能であるといったように材料に制約されないという効果もある。



【特許請求の範囲】

【請求項1】接続端子を有するICチップと、前記ICチップを搭載した配線基板とを含むチップキャリアであって、

前記配線基板は、前記接続端子に対応したチップ接続端子を一表面に有し、この表面に対する裏面には前記チップ接続端子に対応した外部接続端子が形成され、

前記チップ接続端子と前記外部接続端子とは、前記配線基板内において各々一直線の導体配線で接続されていることを特徴とするチップキャリア構造。

【請求項2】前記ICチップを封止するとともにICチップからの熱を逃がすためのキャップを有することを特徴とする請求項1に記載のチップキャリア構造。

【請求項3】前記ICチップの前記接続端子は、半田バンプ金属の微小ピン又は金属バンプからなることを特徴とする請求項1、2に記載のチップキャリア構造。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、電子情報処理機器に使用されるチップキャリアの構造に関する。

【0002】

【従来の技術】従来のチップキャリアを図4に示す。図において、チップキャリアは、基板2上に具備されたランド9と、チップ1に接続されたリード16とが電気的に接続され、さらにヒートシンク4に第1の金属枠5がロー材18で接合されたキャップ19でチップ1を封止したものである。

【0003】ランド9と外部接続端子3とは、内部配線17により電気的に接続されている。この構造によれば、ランド9の位置が基板2上で偏って配置されていても、外部接続端子3は内部配線17によって基板2の裏面全面に設置することが可能である。

【0004】チップ1の気密封止は、第1の金属枠5と、基板2に銀ロー7で接着された第2の金属枠6とをシーム溶接、レーザ溶接、ロー付け等で接合させて行われる。この際、ヒートシンク4にチップ1を良熱伝導性の接着剤8で密着させ、チップから発生する熱をヒートシンク4へ容易に伝えられるようにしている（例えば、特開平1-150343号参照）。

【0005】図5に他の実施例として第41回ECTC論文集、1991年に紹介された構造をそのまま示し、その概略の動作を説明する。図において、チップ1の半田バンプから出された電気信号は、まず基板上に設けられた薄膜上のパッドに伝えられ、その後薄膜内の多層のA1配線によって基板上のパッドへ伝播される。さらに、基板上のパッドから基板内部の多層配線へと電気信号が伝えられ、外部接続端子からキャリアを搭載するマザーボードのパッドへと伝播される。

【0006】このように、内部配線を多層にして、基板内で導体を複雑に配線しているのは、マザーボード上の

接続用パッドの配置が端子ほど緻密にすることが不可能なため、キャリアの接続端子をマザーボードのパッド配置に合わせる必要があるためである。また、従来のチップは、端子数が少なかったので、キャリアの接続端子は、緻密に設ける必要はなかったこともその理由である。

【0007】

【発明が解決しようとする課題】以上説明したチップキャリアの構造によれば、基板内が多層配線となっており、この配線の引き回しにより信号の入出力、電源の供給が行われている。そのため以下のようないわゆる問題が現在生じている。

【0008】まず第1に、従来技術のような配線とすると、信号配線が長くなってしまうため、配線の容量、インダクタンスが大きくなり、そのため、信号遅延が大きくなる、また、ノイズが大きくなるという問題があつた。

【0009】第2に、電源部の配線長が長くなりそのため、電圧降下が大きく、電源の供給が難しくなる。第3に、多層配線といった複雑な構造をとっており、そのため、同時焼成、薄膜配線を行う等高い技術が要求され、コストが非常に高いという問題があつた。

【0010】第4に、このような多層配線構造となっていることからレーザ、機械加工等でスルーホールを形成することは不可能で、そのため、配線材料、基板材料が同時に焼成できるもののみに限られてしまう。

【0011】第5に最近のチップの単位面積当たりのピン数は増大する一方であるが、それに反して実装密度は、増えなくなる傾向にある。そのため、キャリアの端子も高い密度で配置する必要性が出てきており、従来技術では高密度実装は不可能となるといった問題点があつた。

【0012】本発明の目的は、チップキャリアに用いられる配線基板内での電圧降下の削減を図り、あわせて信号伝播遅延及びノイズの低減を実現するチップキャリアを提供することにある。

【0013】

【課題を解決するための手段】上記目的を達成するため、本発明によチップキャリア構造においては、接続端子を有するICチップと、前記ICチップを搭載した配線基板とを含むチップキャリアであって、前記配線基板は、前記接続端子に対応したチップ接続端子を一表面に有し、この表面に対する裏面には前記チップ接続端子に対応した外部接続端子が形成され、前記チップ接続端子と前記外部接続端子とは、前記配線基板内において各々一直線の導体配線で接続されているものである。

【0014】また、前記ICチップを封止するとともにICチップからの熱を逃がすためのキャップを有するものである。

【0015】また、前記ICチップの前記接続端子は、

半田バンプ金属の微小ピン又は金属バンプからなるものである。

【0016】

【作用】本発明のチップキャリアにおいては、基板の配線は、ランドから外部接続端子まで直線のスルーホールとなっており、これによりランドと外部接続端子とを最短距離で結ぶことが可能となる。

【0017】

【実施例】次に本発明について図面を参照して説明する。図1は、本発明の一実施例の断面図である。図において、基板2は、チップキャリア外への接続を目的とした外部接続端子3と、チップ1を接続するためのランド9とが直線状のスルーホール11を有している。基板2上には、半田バンプ10を有するチップ1がフェイスダウンで搭載されている。

【0018】チップ1と基板2とは、半田バンプ10とランド9とによって電気的に接続されている。基板2には、第2金属枠6が銀ロードによって固定されており、この第2金属枠6と第1金属枠5とは、シーム溶接、レーザ溶接、ローワーク等で接合されている。

【0019】第1金属枠5には、ヒートシンク4が接着剤8にて設置される。すなわち、チップ1を基板2及び第1金属枠5、第2金属枠6、ヒートシンク4によって気密封止している。気密封止する際に、その環境をN₂、Ar等の不活性ガス雰囲気、真空等にすることにより、チップキャリアの信頼性を向上させることが可能である。

【0020】また、チップ1の裏面と、ヒートシンク4とは、接着剤8で密着していることから、チップ1の表面で発生した熱は、ヒートシンク4へ容易に伝えることが可能である。従って、接着剤8は、良熱伝導性のもの（例えば、銀ロード材、金属ペースト、半田）を使用する。チップキャリアの熱抵抗を下げるためには、接着剤8はなるべく薄く塗布されることが望ましく、そのためには、チップ1とヒートシンク4との熱膨張率が近いものを使用して、チップ1の破壊を防ぐことが必要である。チップ1がSiの場合、ヒートシンク4の材料はCu/W、AlN等が使用される。

【0021】一方、基板2もチップ1の熱膨張率に近い材料が好ましく、AlN、ムライト、ガラスセラミック、Si₃N₄等が使用される。その際、直線状スルーホール11に充填される導体は、同時焼成ならば、同時焼成に耐える材料（例えば、Au、Cu、Ag、AgPd、W、Mo等）が使用される。直線状スルーホール11を焼成後に形成するならばレーザー等で加工後金属ペーストを充填して行う。

【0022】従来、マザーボードとの接続の制限があったり、接続端子数が少なく、高密度に実装する必要性がなかったのが、現在では、マザーボードを含め材料の限界を行い、チップの端子数増加に伴いキャリアの端子数

も増加させる必要のあったこと、レーザー等の加工技術の進歩により直線状のスルーホールの形成が可能となつたこと等によって、以上のような直線状スルーホールを有する基板の形成が可能となった。

【0023】高密度実装を行うために、本発明に用いたスルーホールでは、スルーホール径が50μmφ～200μmφのものが使われ、標準的には100μmφのものが多く使用される。また、基板の板厚としては0.5～2mmのものが好ましく、標準的には1mmのものが使用される。

【0024】図2は、チップ1に微小ピン12を具備した場合の一実施例を示す。微小ピン12は、半田13によってランド9に電気的に接続され、さらに直線状スルーホール11を経て、外部接続端子3により外部マザーボード等に接続されている。

【0025】微小ピンは例えば、直径0.1mm、長さ1mmといった極めて小さな形状のものが使用され、高密度なチップの電極にも取り付けが可能である。微小ピンの使用により、チップ1と基板2との熱膨張差による歪を容易に緩和できるので、チップキャリアの信頼性を向上でき、基板材料の制約がなくなる等の利点がある。

【0026】図3は、チップ1に金属バンプ15を具備し、この金属バンプ15とランド9とを導電性接合剤14で接続して、チップ1を基板2に実装する一実施例を示す。

【0027】金属バンプ15は、例えばCuバンプ、Auバンプ、Sn/Pbバンプ、Wバンプ等を使用し、導電性接合剤14には、Ag-Pdペースト、Sn/Pb半田、導電性樹脂等を使用したものである。

【0028】このように金属バンプを導電性の接合剤で接続することにより、チップと基板間の熱応力や接続の応力等を緩和することができるため、キャリアとしての信頼性を向上することができる。また、接合剤を選択することによって、比較的低温で接続ができるので、生産性が向上し、キャリアのコストを下げることが可能である。

【0029】

【発明の効果】以上説明したように本発明は、チップキャリアの基板の内部配線をチップ端子から、基板外の外部接続端子まで一直線として配線長を最も短くしたため、チップキャリア基板内での信号配線長が短くなり、信号の遅延やノイズが非常に小さくなる。

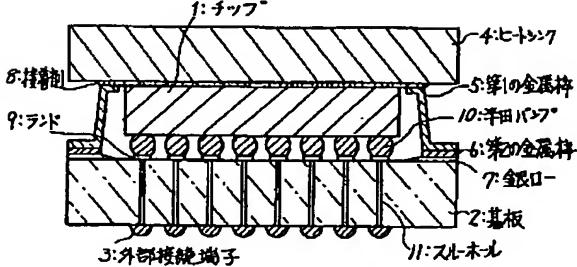
【0030】また、電源部の配線長も短くなり、電圧降下が非常に小さくなる。また構造が簡単であるので、製造が容易であり、コストを下げることができる。また、同時焼成の必要がないので、同時焼成の不可能な材料の選択が可能である。また、接続端子の配置する密度がチップと同等にすることが可能となり、非常に大きな実装密度が得られる。

【図面の簡単な説明】

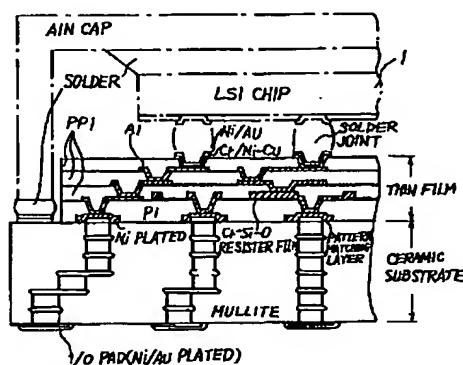
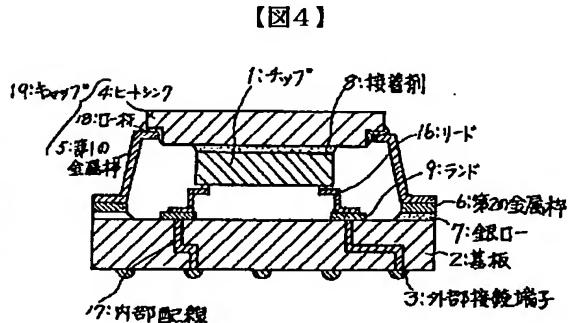
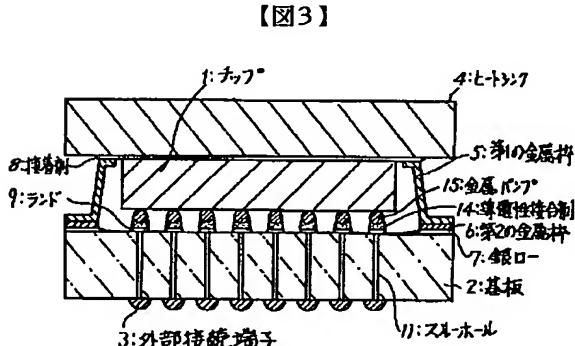
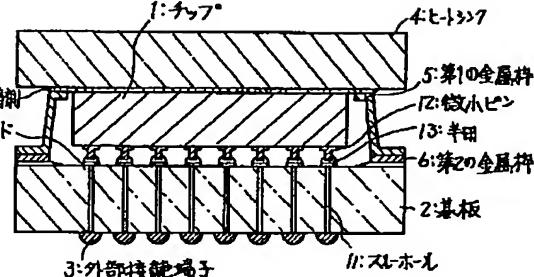
5

6

- 【図1】本発明の一実施例を示す断面図である。
- 【図2】本発明の他の実施例を示す断面図である。
- 【図3】本発明のさらに他の実施例を示す断面図である。
- 【図4】従来のチップキャリアを示す断面図である。
- 【図5】他の従来例を示す図である。
- 【符号の説明】
- | | |
|-----------|-----------|
| 1 チップ | 7 銀ロー |
| 2 基板 | 8 接着剤 |
| 3 外部接続端子 | 9 ランド |
| 4 ヒートシンク | 10 半田バンプ |
| 5 第1金属枠 | 11 スルーホール |
| 6 第2金属枠 | 12 微小ピン |
| 10 リード | 13 半田 |
| 11 内部配線 | 14 導電性接着剤 |
| 12 ロー材 | 15 金属バンプ |
| 13 キャップ | 16 リード |
| 14 外部接続端子 | 17 内部配線 |
| 15 スルーホール | 18 ロー材 |
| 16 半田 | 19 キャップ |



- 【図1】
- 【図2】
- 【図3】
- 【図4】
- 【図5】



PAT-NO: JP405144971A
DOCUMENT-IDENTIFIER: JP 05144971 A
TITLE: STRUCTURE OF CHIP CARRIER
PUBN-DATE: June 11, 1993

INVENTOR-INFORMATION:

NAME
MIYAZAKI, YUICHI

ASSIGNEE-INFORMATION:

NAME	COUNTRY
NEC CORP	N/A

APPL-NO: JP03329586

APPL-DATE: November 18, 1991

INT-CL (IPC): H01L023/12, H01L023/40

US-CL-CURRENT: 257/697, 257/700

ABSTRACT:

PURPOSE: To reduce a voltage drop in a circuit board to be used for a chip carrier and to decrease a signal propagation delay and noise by employing a straight line wiring from a chip terminal to external connection terminal thereby minimizing the length of inner wiring of a chip carrier board.

CONSTITUTION: A chip carrier connects a chip 1 to a board 2 via a solder bump 10 and a land 9, and further airtightly seal the chip 1 via the board 2, a first metal frame 5, a second metal frame 6 and a heat sink

4. The board 2 has a straight through hole 11, which connects the land 9 to an external connection terminal 3 for connecting the chip 1 to the outside of chip carrier 2 via a straight conductor wiring, thereby mostly shortening the wiring length. Thus, a signal wiring length in the board 2 becomes short to reduce a signal delay and noise. The wiring length of a power source is also shortened, and a voltage drop is reduced.

COPYRIGHT: (C)1993, JPO&Japio